

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**SEMICONDUCTOR DEVICE AND MANUFACTURE THEREFOR**

Patent Number: JP10284678  
Publication date: 1998-10-23  
Inventor(s): SHIBAMOTO MASAKUNI;; ICHITANI MASAHIRO  
Applicant(s): HITACHI LTD  
Requested Patent: ☐ JP10284678  
Application Number: JP19970085388 19970403  
Priority Number(s):  
IPC Classification: H01L23/50  
EC Classification:  
Equivalents:

---

**Abstract**

---

PROBLEM TO BE SOLVED: To facilitate the standardization of in the number of outer leads, the improvement of the performance and the standardization of an input/output terminal arrangement in an area-array-type surface-mounting semiconductor device, wherein a TCP(tape-carrier package) tape is applied.

SOLUTION: A tape substrate 2, wherein copper or copper alloy is a main conductor layer and a gold-plated wiring 5 is provided on the surface, and a semiconductor chip 1 are bonded by a bonding layer 8 composed of an elastic body. Connection is performed to the wiring connecting part on the semiconductor chip 1 by an inner lead part 5b of the wiring 5. In this semiconductor device, a common wiring part 5c, which is grounded or held at a power supply potential, is provided in the wiring 5. A lead wiring part 5d, which is connected directly to the inner lead 5b from the common wiring part 5c, without going through a land part 5a for an external electrode, is provided.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-284678

(43) 公開日 平成10年(1998)10月23日

(51) Int. Cl.<sup>4</sup>  
H01L 23/50

識別記号

F I  
H01L 23/50

X

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願平9-85388

(22) 出願日 平成9年(1997)4月3日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 柴本 正剛

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 一谷 昌弘

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

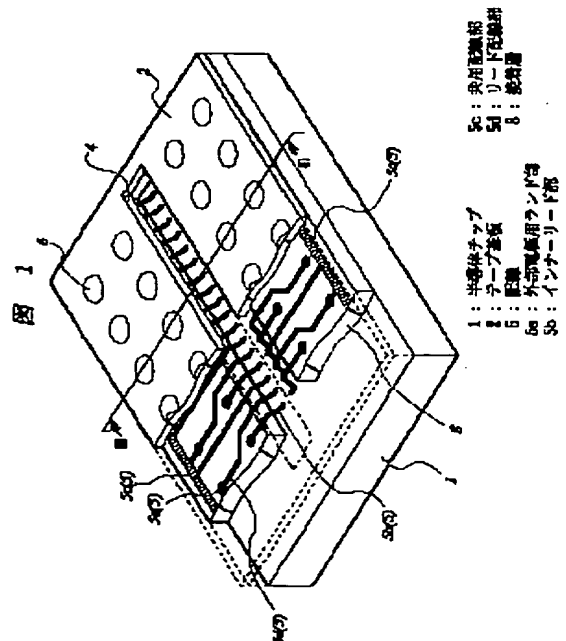
(74) 代理人 弁理士 橋井 大和

## (54) 【発明の名称】 半導体装置およびその製造方法

## (57) 【要約】

【課題】 TCPテープを応用したエリアレイタイプの表面実装型半導体装置の OUTERリード数の低減および性能の向上ならびに入出力端子配置の標準化を容易とする。

【解決手段】 銅あるいは銅合金を主導電層とし、その表面に金メッキが施された配線5を有するテープ基板2と半導体チップ1とを弾性体からなる接着層8により接着し、配線5の INNERリード部5bにより半導体チップ1上の配線接続部に接続される半導体装置において、配線5に接地または電源電位に保持される共用配線部5cを設け、共用配線部5cから外部電極用ランド部5aを経由することなく、直接 INNERリード部5bに接続されるリード配線部5dを設ける。



# 【特許請求の範囲】

【請求項1】 その主面に半導体回路素子が形成され、その表面に複数の配線接続部を有する半導体チップと、有機系材料からなるテープ基板と、前記テープ基板に形成され、アウトリードが接続される複数の外部電極用ランド部および前記配線接続部に接続される複数のインナーリード部を含む配線と、を有する半導体装置であって、前記配線には、少なくとも1つの外部電極用ランド部に接続される共用配線部を含み、前記外部電極用ランド部を経由することなく前記共用配線部と前記インナーリード部とが直接結ばれる経路を1つ以上有するものであることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記テープ基板の中央部に前記インナーリード部が配列される開口部が形成され、前記テープ基板の端部に沿って前記共用配線部が形成され、前記開口部と前記共用配線部との間に前記外部電極用ランド部が形成されていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置であって、前記テープ基板の端部に沿って前記インナーリード部が配列され、前記テープ基板の中央部に前記共用配線部が形成され、前記端部と前記共用配線部との間に前記外部電極用ランド部が形成されていることを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置であって、前記テープ基板が前記半導体チップの中央部で第1および第2のテープ基板に分割され、前記第1および第2のテープ基板の各々の前記半導体チップの中央部側端部に沿って前記共用配線部が形成され、前記第1および第2のテープ基板の各々の前記半導体チップの端部側に前記外部電極用ランド部が形成され、前記共用配線部と前記外部電極用ランド部との間に前記インナーリード部が配列される開口部が形成されていることを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置であって、前記第1および第2のテープ基板の前記共用配線部が形成された領域は、互いに重畳して形成されていることを特徴とする半導体装置。

【請求項6】 請求項1、2、3、4または5記載の半導体装置であって、前記配線は、銅または銅合金を主導電層としたものであることを特徴とする半導体装置。

【請求項7】 請求項1、2、3、4、5または6記載の半導体装置の製造方法であって、

(a) 前記テープ基板上に銅または銅合金からなる導電体薄膜を形成する工程、

(b) 前記導電体薄膜上の、前記配線および電解メッキ用配線に相当する領域に第1レジストを形成する工程、

(c) 前記第1レジストをマスクとして前記導電体薄膜

をエッチングし、全領域が電氣的に接続された導電体パターンを形成する工程、

(d) 前記導電体パターンの前記電解メッキ用配線上に第2レジストを形成する工程、

(e) 前記テープ基板を電解液に浸漬し、導電体パターンに通電して、前記第2レジストで被覆された領域を除く前記導電体パターンの表面に金メッキを施す工程、

(f) 前記第2レジストを除去し、銅または銅合金と金との間に選択比を有するエッチング液に前記テープ基板を浸漬し、前記電解メッキ用配線を除去する工程、を含むことを特徴とする半導体装置の製造方法。

【請求項8】 請求項1、2、3、4、5または6記載の半導体装置の製造方法であって、

(a) 前記テープ基板上に銅または銅合金からなる導電体薄膜を形成する工程、

(b) 前記導電体薄膜をパターンニングし、前記配線に相当する導電体パターンを形成する工程、

(c) 前記導電体パターンに無電解メッキを施し、その表面に金メッキを形成する工程、を含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

### 【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、TCP (Tape Carrier Package) を応用したエリアレイタイプの表面実装型半導体装置に適用して有効な技術に関するものである。

### 【0002】

【従来の技術】近年、携帯情報端末あるいは移動通信機器等、実装基板の占有面積が著しく制限される用途への適用を考慮した半導体装置では、そのパッケージの小形化が強く要請されている。また、高機能化する半導体装置の多ピン化に対応し、同時に実装基板への占有面積の低減を図る技術が強く望まれている。

【0003】このような要求を満足する技術の一つとして、たとえば、昭和59年11月30日、株式会社オーム社発行、「LSIハンドブック」、p410～p411に記載されているようなTCPの技術が知られている。また、さらに厳しい小形化あるいは多ピン化の要求を満足する可能性の高い技術として、たとえば、平成7年4月20日、プレスジャーナル発行、「月刊 Semiconductor World」1995年5月号、p104～p131に記載されているようなCSP (Chip Size Package) の技術が知られている。

【0004】なかでも、同文献、p112～p113または平成6年5月1日、日経BP社発行、「日経マイクロデバイス」1994年5月号、p98～p102に記載されている米テセラ社の提案であるμBGAの技術は、接続ピッチの標準化容易性、熱膨張率の違いの吸収性の良さ、バーンインなどのテストのしやすさ等の点でベアチップ実装あるいはフリップチップ実装より優れ、

実装時の取扱易さ等の点でTCPよりも優れており、総合的に他の実装技術よりも優れた技術であると考えられる。

【0005】 $\mu$ BGAの技術は、特表平6-504408号公報に詳細に記載されているが、その概略を説明すれば、以下のとおりである。

【0006】すなわち、たとえばポリイミド等のフレキシブルテープに配線およびアウターリードとしてのパンプを形成して、半導体基板とはほぼ同一面積のテープ基板とし、このテープ基板を弾性体からなる接着層によって半導体基板の主面に接着し、テープ基板に開口したスルーホールあるいはテープ基板の端面から延伸して形成されたガルウィング状のインナーリードを、熱あるいは超音波圧着により半導体装置の主面の素子電極に接続するものである。インナーリードは、テープ基板上に形成された配線の一部として形成されるものである。

【0007】このような $\mu$ BGA技術では、半導体基板の全面に相当する面にアウターリードが形成されているため、小型化が容易であるとともに取り扱いが容易であることは、前記のとおりである。また、半導体基板とテープ基板との間を弾性体で接着しているため、両基板間の相対的な変位が可能であり、各部分間の熱膨張係数の相異による熱応力を緩和することが可能であるという利点がある。

【0008】

【発明が解決しようとする課題】しかしながら、上記した $\mu$ BGAの技術は、半導体装置の小形化および取扱の容易性を重視して開発されてきた技術であり、半導体装置の標準化を考慮して開発されたものではなかった。そのため、テープ基板上のアウターリードの位置が、半導体基板上の素子電極の配置により制約を受けてしまうという不具合があった。

【0009】すなわち $\mu$ BGAの技術は、他のTCP技術と同様に、配線はテープ基板の上に2次元的に形成されるものであり、特に、コストおよび生産技術等を考慮して配線形成面をテープ基板の一方に限った場合には、配線相互間が交わることが許容されない。このため、前記のとおり、アウターリードの位置と素子電極の配置との関係に制約が生じ、素子電極の配置の順にアウターリードが割り当てられることとなる。

【0010】このような制約は、半導体装置の用途がカスタムIC等である場合にはさほど問題とはならないが、半導体装置の用途がDRAM等の汎用品では、大きな問題を生じる。すなわち、汎用品の場合には、アウターリードの配置を標準化する要求が強く、特に電源端子あるいは接地端子の配置があらかじめ決定されていることが前提となる場合が多い。このような場合には、あらかじめ決定されたアウターリードの配置に適合するように半導体基板上の素子電極のレイアウトを設計する必要がある。そのため、設計の自由度が低くなるという問題

がある。

【0011】また、半導体装置の電気特性向上のためには、可能な限り多数の接地電極および電源電極を設けることが好ましい。ところが、素子電極にアウターリードが一对一に対応する現在の $\mu$ BGA技術では、半導体装置の電気特性の向上を意図して接地または電源端子を多く設けるとアウターリードの数を多く設けることとなって半導体装置の小形化に対して好ましくなく、逆に、半導体装置の小形化を優先してアウターリードの数に制限を設けると接地または電源端子の最適化を行うことができなくなって半導体装置の性能の向上が十分に図れない事態が生じていた。

【0012】本発明の目的は、アウターリードの配置に制約を受けずに、半導体基板上に電源端子および接地端子を設けることができる技術を提供することにある。

【0013】本発明の他の目的は、半導体基板上の素子電極配置の設計自由度を制限することなく、半導体装置のアウターリード配置を標準化することができる技術を提供することにある。

【0014】本発明のさらに他の目的は、アウターリードの数を減少することができる技術を提供することにある。

【0015】本発明のさらに他の目的は、アウターリードの数を増加することなく半導体装置の電気特性を向上することができる技術を提供することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0018】(1)本発明の半導体装置は、その主面に半導体回路素子が形成され、その表面に複数の配線接続部を有する半導体チップと、有機系材料からなるテープ基板と、テープ基板に形成され、アウターリードが接続される複数の外部電極用ランド部および配線接続部に接続される複数のインナーリード部を含む配線とを有する半導体装置であって、配線が、その一部として少なくとも1つの外部電極用ランド部に接続される共用配線部を含み、外部電極用ランド部を経由することなく共用配線部とインナーリード部とが直接結ばれる経路を1つ以上有するものである。

【0019】このような半導体装置によれば、配線が、その一部として少なくとも1つの外部電極用ランド部に接続される共用配線部を含み、外部電極用ランド部を経由することなく共用配線部とインナーリード部とが直接結ばれる経路を1つ以上有するため、アウターリードの配置に制限されることなく電源および接地電位の素子電極を半導体基板の表面に配置することができる。

【0020】すなわち、共用配線部に外部電極用ランド部が接続されているため、この外部電極用ランド部に接続されるアウターリードを電源端子あるいは接地端子とすることができ、その場合には、共用配線部を電源電位あるいは接地電位に保持することができる。さらに、外部電極用ランド部を経由することなく共用配線部とインナーリード部とが直接結ばれる経路を有することにより、このインナーリード部に接続される半導体基板上の素子電極を共用配線部と同じ電位、つまり接地あるいは電源電位にすることができる。この経路は、外部電極用ランド部を経由することなく、つまり外部電極用ランド部の間を縫って設置することができるため、共用配線部に直接接続されるインナーリード部に接する素子電極の位置を外部電極用ランド部の配置に影響されることなく任意に配置することができる。つまり、外部電極用ランド部の配置に制限されずに任意に素子電極の配置設計ができる。

【0021】その結果、半導体装置をDRAM等の汎用品とする場合に必要となるアウターリード端子の標準化を図りやすくなり、また、素子電極の配置設計を行いやすくなることができる。さらに、半導体基板上の電源および接地電極の数を任意に増やすことができるため、半導体装置の電気特性を向上させることができ、また、アウターリードの数を多く設置する必要がなくなるため、その数を必要最低限に減少させることができる。

【0022】なお、インナーリード部が露出される開口部、共用配線部および外部電極用ランド部の配置される関係は、以下のような場合がある。

【0023】すなわち、(a) テープ基板の中央部にインナーリード部が露出される開口部が形成され、テープ基板の端部に沿って共用配線部が形成され、開口部と共用配線部との間に外部電極用ランド部が形成されている場合、(b) テープ基板の端部に沿ってインナーリード部が露出され、テープ基板の中央部に共用配線部が形成され、端部と共用配線部との間に外部電極用ランド部が形成されている場合、(c) テープ基板が半導体チップの中央部で第1および第2のテープ基板に分割され、第1および第2のテープ基板の各々の半導体チップ中央部側端部に沿って共用配線部が形成され、第1および第2のテープ基板の各々の半導体チップ端部側に外部電極用ランド部が形成され、共用配線部と外部電極用ランド部との間にインナーリード部が露出される開口部が形成されている場合である。

【0024】さらに、前記(c)の場合には、第1および第2のテープ基板の共用配線部が形成された領域を、互いに重畳して形成することができる。このような場合には、第1および第2のテープ基板の占有面積が互いに重畳されている領域分だけ小さくなり、半導体装置を小形化することが可能である。

【0025】また、本発明の半導体装置の配線は、銅ま

たは銅合金を主導電層とし、金メッキが施されたものとすることができる。このような場合には、配線の全てを金で製造する場合に比べて、銅または銅合金を主導電層として用いるため、配線材料のコストを低減し、半導体装置の製造コストを低くすることができる。

【0026】(2) 本発明の半導体装置の製造方法は、前記(1)記載の半導体装置の製造方法であって、

(a) テープ基板上に銅または銅合金からなる導電体薄膜を形成する工程、(b) 導電体薄膜上の、配線および電解メッキ用配線に相当する領域に第1レジストを形成する工程、(c) 第1レジストをマスクとして導電体薄膜をエッチングし、全領域が電氣的に接続された導電体パターンを形成する工程、(d) 導電体パターンの電解メッキ用配線上に第2レジストを形成する工程、(e) テープ基板を電解液に浸漬し、導電体パターンに通電して、第2レジストで被覆された領域を除く導電体パターンの表面に金メッキを施す工程、(f) 第2レジストを除去し、銅または銅合金と金との間に選択比を有するエッチング液にテープ基板を浸漬し、電解メッキ用配線を除去する工程、を含むものである。

【0027】このような半導体装置の製造方法によれば、配線および電解メッキ用配線に相当する領域に形成された第1レジストをマスクとして導電体薄膜をエッチングするため、エッチングにより形成された導電体パターンは、全領域で電氣的に接続されたものとなり、次工程以降で行う電解メッキを行いやすくなるという効果を有する。

【0028】また、電解メッキを、電解メッキ用配線上に第2レジストを形成した後に行うため、第2レジストがマスクとなって電解メッキ用配線には金メッキが形成されず、次工程において施されるエッチング処理、つまり銅または銅合金と金との間に選択比を有するエッチング液に浸漬することによるエッチング処理によって、容易に電解メッキ用配線を除去することが可能となる。

【0029】このように、本製造方法により、従来のメッキ工程を大幅に変更することなく、前記(1)に記載の半導体装置を容易に製造することが可能となる。

【0030】なお、当初から配線の形状に導電体パターンを形成し、導電体パターンに無電解メッキを施すことによって、その表面に金メッキを形成してもよい。

【0031】また、前記第1レジストおよび第2レジストは、フォトリソグラフィを用いたフォトリソグラフィ技術により形成することも可能であるが、より簡便かつ低コストで形成することができるスクリーン印刷技術等を用いてもよい。

【0032】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部分には同一の符号を付し、その繰り返しの説明は省略する。

【0033】(実施の形態1) 図1は、本発明の一実施の形態である半導体装置の外観の一例を示した斜視図である。図1において図面を見やすくするために、一部の部材を切断部および破線で示す。また、図2は、図1に示す半導体装置の配線部を示す上面図であり、図3は、図1および図2におけるIII-III線断面図である。

【0034】本実施の形態1の半導体装置は、半導体チップ1と、有機系材料からなるテープ基板2とを有するものであり、半導体チップ1の主面側には半導体回路素子が形成され、その半導体回路素子の入出力端子として配線接続部3が形成されている。配線接続部3は、半導体チップ1の中央部に配列され、半導体回路素子の回路配線である配線層の一部としてのアルミニウムパッド、あるいはパッド上に形成された金等のバンプとすることができる。

【0035】テープ基板2は、たとえばポリイミド(ユーピレックス)を用いることができ、その厚さは50 $\mu$ mとすることができる。この点、通常のTCPでは75 $\mu$ mあるいは125 $\mu$ mの厚さのテープを用いる点と相違する。また、テープ基板2の中央部には、配線接続部3の配線に対応してテープ開口4が形成されている。

【0036】テープ基板2の一方の面には、パターンニングされた配線5を有し、他方の面にはアウターリードとして機能するバンプ6が形成されている。

【0037】配線5は、外部電極用ランド部5a、インナーリード部5b、共用配線部5cおよびリード配線部5dからなる。外部電極用ランド部5aは28個のアウターリードに対応して28個設けられ、インナーリード部5bは32個の配線接続部3に対応して32個設けられている。共用配線部5cは2個設けられ、何れか一方が接地電位に保持され、他方が電源電位に保持される。リード配線部5dは、外部電極用ランド部5a、インナーリード部5bおよび共用配線部5cを相互に電気的に接続する。

【0038】外部電極用ランド部5aは、配線5をテープ基板2に開口した接続孔7を介してバンプ6に容易に接続するためのランドであり、その厚さはたとえば18 $\mu$ mとすることができる。なお、外部電極用ランド部5aの形状は図示するとおり、円形とすることが一般的であるが、長方形であってもよい。また、その径は、後に説明するバンプ6の径よりも小さく、接続孔7の径よりも大きいことが好ましく、たとえば500 $\mu$ mとすることができる。

【0039】インナーリード部5bは、配線5を配線接続部3に接続するためのものであり、テープ開口4に沿って配列されている。すなわち、半導体チップ1の中央部に配置された32個の配線接続部3を露出するようにテープ開口4を設け、その開口部の両側に配列されたインナーリード部5bを開口端辺から延伸して形成し、適

当な角度で湾曲させて配線接続部3に一对一に接触させるものである。この接触は、熱あるいは超音波によりボンディングされたものとすることができる。なお、インナーリード部5bの厚さはたとえば18 $\mu$ m、その幅はたとえば50 $\mu$ mとすることができる。また、インナーリード部5b間の間隔は、たとえば50 $\mu$ mとすることができる。ただし、その幅および間隔は、各々25 $\mu$ mまで低減することが可能である。

【0040】共用配線部5cは、テープ基板2の両端部付近に設けられ、長方形の形状を有するものである。その長辺の長さは、テープ開口4の長辺の長さよりも若干長い。これにより、共用配線部5cの長辺方向の任意の位置でインナーリード部5bに直接延伸するリード配線を形成することが可能となる。共用配線部5cの短辺方向の長さつまり共用配線部5cの幅は任意の長さとすることができるが、たとえばリード配線部5dの幅と同等の50 $\mu$ mとすることができる。ただし、共用配線部5cは後に説明するように電源あるいは接地配線として使用するため、ノイズ耐性等半導体装置の電気特性向上のためにはその幅は可能な限り広い方が好ましい。また、共用配線部5cの厚さは、配線5の他の領域と同様にたとえば18 $\mu$ mとすることができる。なお、本実施の形態1では、共用配線部5cを長方形の形状としたが、テープ開口4の長辺の長さよりも若干長いものである限り形状は任意であり、矩形、波形、鋸形又は曲線であってもよい。

【0041】また、共用配線部5cは、接地電位あるいは電源電位に保持され、接地あるいは電源配線として共用される配線5の一部分である。したがって、共用配線部5cは、接地あるいは電源端子に相当する外部電極用ランド部5aの少なくとも1つに接続される必要がある。本実施の形態1の場合、共用配線部5cは2つ設けられており、接地電位に保持される接地共用配線5c-1と電源電位に保持される電源共用配線5c-2とを有する。接地共用配線5c-1は、接地リード配線5d-1を介して接地されたバンプ6に接続される接地外部電極ランド5a-1に接続され、図2において接地外部電極ランド5a-1は4個設けられている。電源共用配線5c-2は、電源リード配線5d-2を介して電圧に保持された電源バンプ6に接続される電源外部電極ランド5a-2に接続され、図2において電源外部電極ランド5a-2は2個設けられている。

【0042】さらに、共用配線部5cは、外部電極用ランド部5aを介さず、直接インナーリード部5bすなわち配線接続部3に接続することができる。つまり、半導体チップ1に接地あるいは電源端子となる配線接続部3を任意の数だけ、任意の位置に配置し、そのような配線接続部3には、インナーリード部5bおよび外部電極用ランド部5aを介さないリード配線により共用配線部5cに接続することが可能である。本実施の形態1の場

合、接地電位に保持すべき配線接続部3がインナーリード部5bおよび外部電極用ランド部5aを介さない接地リード配線5d-3により接地共用配線5c-1に接続されており、電源電位に保持すべき配線接続部3がインナーリード部5bおよび外部電極用ランド部5aを介さない電源リード配線5d-4により電源共用配線5c-2に接続されている。そのような接地リード配線5d-3および電源リード配線5d-4は、各々2個設けられている。

【0043】リード配線部5dは、外部電極用ランド部5a、インナーリード部5bおよび共用配線部5cを各々接続するものであり、接地リード配線5d-1, 3および電源リード配線5d-2, 4も含まれる。リード配線部5dの厚さはたとえば $18\mu\text{m}$ とすることができ、その幅は $50\mu\text{m}$ とすることができる。また、その間隔は最も近接した部分で $50\mu\text{m}$ とすることができる。ただし、その幅および最近接部での間隔は、各々 $25\mu\text{m}$ まで低減することが可能である。

【0044】配線5すなわち外部電極用ランド部5a、インナーリード部5b、共用配線部5cおよびリード配線部5dは、主導電層5eおよびメッキ層5fを有する。主導電層5eは、たとえば銅もしくは銅合金とすることができ、メッキ層5fは、たとえば金メッキとすることができ、このように主導電層5eを銅もしくは銅合金とすることにより、十分な導電率および電流容量を確保し、金を主導電層とする場合に比較してコストの低減を図ることができる。また、メッキ層5fを金メッキとすることにより、後に説明する半導体装置の製造工程において、電解メッキ用の銅もしくは銅合金部分を除去するために金メッキをマスクとして用いることができる。

【0045】バンプ6は、たとえばはんだバンプとすることができ、ボールの径および高さは、たとえば各々 $600\mu\text{m}$ および $500\mu\text{m}$ とすることができる。ただし、その径および高さは、各々 $300\mu\text{m}$ および $200\mu\text{m}$ まで低減することが可能である。

【0046】配線5とバンプ6とは、テープ基板2に開口した接続孔7を介して接続される。接続孔7の開口径は、たとえば $450\mu\text{m}$ とすることができるが、 $200\mu\text{m}$ まで低減することができる。

【0047】半導体チップ1とテープ基板2とは、接着層8により接着されている。接着層8の材料として、シリコンゴムを例示することができる。接着層8は、半導体チップ1とテープ基板2との接着剤として作用する一方、弾性体としても作用するものであり、その弾性率は $0.1\sim 50\text{MPa}$ とすることができる。接着層8を弾性体とすることにより熱膨張係数の相違による熱応力を吸収し、半導体装置の実装の信頼性を向上することができる。

【0048】テープ開口4は、レジン9により封止され

ている。レジン9を埋め込むことにより、インナーリード部5bおよび半導体チップ1を保護することができる。

【0049】本実施の形態1の半導体装置によれば、共用配線部5cを設けるため、半導体チップ1上に任意の数および配置の接地および電源電圧に保持される配線接続部3を設けることができる。すなわち、任意に配置された接地電圧の配線接続部3は、接地リード配線5d-3を介して外部電極用ランド部5aを介することなく接地共用配線5c-1に接続することができ、このような場合、任意に配置された接地電圧の配線接続部3の配置はアウターリードであるバンプ6の配置に影響することはない。また、任意に配置された電源電圧の配線接続部3は、電源リード配線5d-4を介して外部電極用ランド部5aを介することなく電源共用配線5c-2に接続することができ、このような場合にも、任意に配置された電源電圧の配線接続部3の配置はアウターリードであるバンプ6の配置に影響することはない。その結果、アウターリードの配置にかかわらず配線接続部3の配置設計を行うことができ、その設計自由度を増し、半導体装置の標準化にも対応することができる。また、配線接続部3に任意の数の電源および接地端子を設けることができるので、アウターリードの数を減少し、ノイズ特性等の半導体装置の電気特性を向上することができる。

【0050】次に、本実施の形態1の半導体装置の製造方法を、図4～図11を用いて説明する。図4～図9は、実施の形態1の半導体装置の製造方法の一例をその工程順に示したものであり、(a)は底面図であり、(b)は(a)におけるb-b線断面図である。また、図10および図11は、実施の形態1の半導体装置の製造方法の一例をその工程順に示した断面図である。

【0051】まず、 $50\mu\text{m}$ の厚さを有するポリイミドテープ10の片面に、膜厚 $18\mu\text{m}$ 程度の銅あるいは銅合金の薄膜11を形成する(図4)。

【0052】次に、銅あるいは銅合金の薄膜11の両面に、レジストを形成し、このレジストをマスクとして銅あるいは銅合金の薄膜11をエッチングする。このレジストは、後に形成される配線5および金メッキ用配線12に相当するパターンにパターンニングされており、パターンニングの結果、配線5の主導電層5eおよび金メッキ用配線12が形成される(図5)。なお、図5において図面を見やすくするため、配線5の主導電層5eは実線で、金メッキ用配線12は破線で示す。また、レジストの形成は公知のスクリーン印刷法あるいはフォトリソグラフィ技術等を用いることができ、エッチングは公知のウェットエッチング法あるいはドライエッチング法を用いることができる。

【0053】次に、金メッキ用配線12を覆うようにレジスト13を形成する(図6)。レジストの形成は公知のスクリーン印刷法あるいはフォトリソグラフィ技術等



を用いることができる。その後、ポリイミドテープ10を電解液に浸漬し、金メッキ用配線12および主導電層5eに通電してレジスト13が被覆されていない領域つまり主導電層5eの表面に金メッキからなるメッキ層5fを形成する(図6(c))。

【0054】次にレジスト13を除去する(図7)。そうすると金メッキが形成されていない金メッキ用配線12の部分が銅または銅合金のままの状態で見える。

【0055】このような銅または銅合金が見えたポリイミドテープ10をエッチング液に浸漬し、金メッキ用配線12を除去して配線5を形成する(図8)。エッチング液は、銅または銅合金がエッチングされ、金がエッチングされないような液、たとえば硝酸、酢酸等の混液を用いることができる。

【0056】次に、ポリイミドテープ10に接続孔7およびテープ開口4を形成する(図9)。この際、インナーリード部5bが形成される。ポリイミドテープ10の除去には、たとえばレーザによるアブレーション法を用いることができる。

【0057】次に、接続孔7の部分にはんだからなるパンプ6を形成する(図9(c))。パンプ6は、たとえば電解メッキにより形成することができる。以上のようにしてテープ基板2を形成することができる。

【0058】次に、テープ基板2を半導体チップ1に接着層8を介して接着する(図10)。接着層8は前記のとおりシリコン系樹脂が通っており、アウターリードの接続信頼性を向上させる効果がある。なお、接着層8の厚さは、150μmとすることができる。

【0059】次に、インナーリード部5bのリード端部にツール14を作用させ、インナーリード部5bを曲げつつ、配線接続部3まで押し付ける。さらに、ツール14に超音波エネルギーを印加してインナーリード部5bの端部と配線接続部3を接続する(図11)。接続の方式としては、TCPのボンディング方法として公知のギャングボンディング(一括方式)あるいはシングルポイントボンディング等を用いることができる。なお、超音波エネルギーに加えて、加熱によるボンディングを併用してもよい。

【0060】最後に、テープ開口4にレジン9を充填して、図1～図3に示す半導体装置が完成する。

【0061】本実施の形態の半導体装置の製造方法によれば、金メッキ用配線12により配線5の主導電層5eを全て接続して1つのパターンとするため電解メッキ用の電流を印加することが容易となり、また、金メッキ用配線12をレジスト13で覆い電解メッキを行うので、主導電層5eの表面にのみ金メッキを施すことが可能となる。この結果、金メッキ用配線12をエッチングして配線5を形成する際のエッチング工程においてメッキ層5fをマスクとして使用することができ、配線5の形成工程を簡便に行うことが可能となる。

【0062】なお、上記の製造方法において金メッキ用配線12を形成することなく、一度に配線5のパターンに相当する主導電層5eのパターンを形成し、その後、無電解メッキにより金メッキからなるメッキ層5fを形成して配線5を形成してもよい。

【0063】(実施の形態2)図12は、本発明の他の実施の形態である半導体装置の配線部分を示す上面図であり、図13は、図12におけるXIII-XIII線断面図である。

【0064】本実施の形態2の半導体装置は、半導体チップ1上に形成された配線接続部3が半導体チップ1の端部領域に配置され、よって配線接続部3に接続されるインナーリード部5bもそれに対応してテープ基板2の端部に配置されているものである。このような場合、共用配線部5cは、テープ基板2の中央部に配置することができ、共用配線部5cから接地電位あるいは電源電位に保持すべき配線接続部3に外部電極用ランド部5aを経由することなく直接に対応するインナーリード部5bに接続することができる。したがって、実施の形態1と同様の効果を得ることができる。共用配線部5cは、長方形に限らず矩形、波形、鋸形又は曲線であってもよい。

【0065】なお、外部電極用ランド部5a、リード配線部5d、パンプ6、接続孔7、接着層8、レジン9等は、実施の形態1と同様であるため、説明を省略する。製造方法も実施の形態1と同様とすることができる。なお、本実施の形態2の場合、テープ開口は設けられない。

【0066】(実施の形態3)図14は、本発明のさらに他の実施の形態である半導体装置の配線部分を示す上面図であり、図15は、図14におけるXV-XV線断面図である。

【0067】本実施の形態3の半導体装置は、テープ基板2が半導体チップ1の中央部で切断され、2つのテープ基板2を有するものであり、各々のテープ基板2の半導体チップ1中央寄りにテープ開口4が設けられているものである。共用配線部5cは各テープ基板2の半導体チップ1中央部側端部に沿って設置され外部電極用ランド部5aは各テープ基板2の半導体チップ1外側に配置されている。

【0068】このような場合も、共用配線部5cから接地電位あるいは電源電位に保持すべき配線接続部3に外部電極用ランド部5aを経由することなく直接に対応するインナーリード部5bに接続することができ、実施の形態1と同様の効果を得ることができる。共用配線部5cの形状も、前記実施の形態1および2で述べたような矩形、波形、鋸形又は曲線であってもよい。

【0069】なお、リード配線部5d、パンプ6、接続孔7、接着層8、レジン9等は、実施の形態1と同様であるため、説明を省略する。製造方法も実施の形態1と

同様とすることができる。

【0070】また、本実施の形態3のように2つに分割されたテープ基板2を有する場合、図16および図17に示すように、テープ基板2の共用配線部5cの領域を重ねて形成することが可能である。図16は、本発明のさらに他の実施の形態である半導体装置の他の例の配線部分を示す上面図であり、図17は、図16におけるXV-II-XVII線断面図である。このような場合、テープ基板2の共用配線部5cを重ねて形成するためテープ基板2全体で占有する面積を低減することが可能となり、半導体装置の小形化を図ることが可能となる。

【0071】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0072】たとえば、本実施の形態ではテープ基板2をポリイミドの場合を例示したが、他の有機系材料であってもよく、また、バンプ6の材質をはんだとしたが、金バンプであってもよいことは言うまでもない。

【0073】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0074】(1) アウターリードの配置に制約を受けずに、半導体基板上に電源端子および接地端子を設けることができる。

【0075】(2) 半導体基板上の素子電極配置の設計自由度を制限することなく、半導体装置のアウターリード配置を標準化することができる。

【0076】(3) アウターリードの数を減少することができる。

【0077】(4) アウターリードの数を増加することなく半導体装置の電気特性を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の外観の一例を示した斜視図である。

【図2】図1に示す半導体装置の配線部分を示す上面図である。

【図3】図1および図2におけるIII-III線断面図である。

【図4】実施の形態1の半導体装置の製造方法の一例をその工程順に示したものであり、(a)は底面図であり、(b)は(a)におけるb-b線断面図である。

【図5】実施の形態1の半導体装置の製造方法の一例をその工程順に示したものであり、(a)は底面図であり、(b)は(a)におけるb-b線断面図である。

【図6】実施の形態1の半導体装置の製造方法の一例をその工程順に示したものであり、(a)は底面図であり、(b)は(a)におけるb-b線断面図、(c)

は、半導体装置の製造方法の一例をその工程順に示した断面図である。

【図7】実施の形態1の半導体装置の製造方法の一例をその工程順に示したものであり、(a)は底面図であり、(b)は(a)におけるb-b線断面図である。

【図8】実施の形態1の半導体装置の製造方法の一例をその工程順に示したものであり、(a)は底面図であり、(b)は(a)におけるb-b線断面図である。

【図9】実施の形態1の半導体装置の製造方法の一例をその工程順に示したものであり、(a)は底面図であり、(b)は(a)におけるb-b線断面図、(c)は、半導体装置の製造方法の一例をその工程順に示した断面図である。

【図10】実施の形態1の半導体装置の製造方法の一例をその工程順に示した断面図である。

【図11】実施の形態1の半導体装置の製造方法の一例をその工程順に示した断面図である。

【図12】本発明の他の実施の形態である半導体装置の配線部分を示す上面図である。

【図13】図12におけるXIII-XIII線断面図である。

【図14】本発明のさらに他の実施の形態である半導体装置の配線部分を示す上面図である。

【図15】図14におけるXV-XV線断面図である。

【図16】本発明のさらに他の実施の形態である半導体装置の他の例の配線部分を示す上面図である。

【図17】図16におけるXVII-XVII線断面図である。

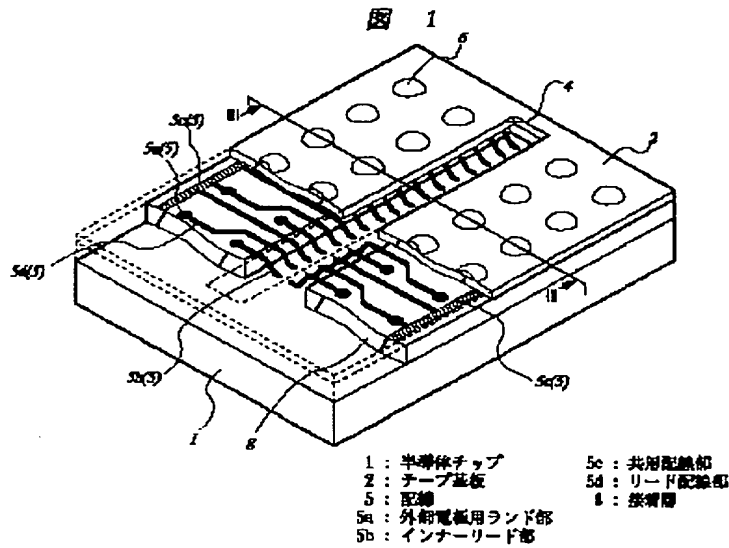
【符号の説明】

- 1 半導体チップ
- 2 テープ基板
- 3 配線接続部
- 4 テープ開口
- 5 配線
- 5a 外部電極用ランド部
- 5a-1 接地外部電極ランド
- 5a-2 電源外部電極ランド
- 5b インナーリード部
- 5c 共用配線部
- 5c-1 接地共用配線
- 5c-2 電源共用配線
- 5d リード配線部
- 5d-1 接地リード配線
- 5d-2 電源リード配線
- 5d-3 接地リード配線
- 5d-4 電源リード配線
- 5e 主導電層
- 5f メッキ層
- 6 バンプ
- 7 接続孔
- 8 接着層
- 9 レジン

- 10 ポリイミドテープ
- 11 薄膜
- 12 金メッキ用酸液

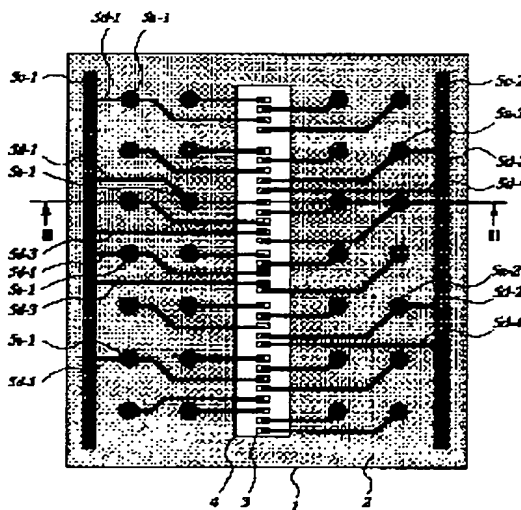
- 13 レジスト
- 14 ツール

【図1】



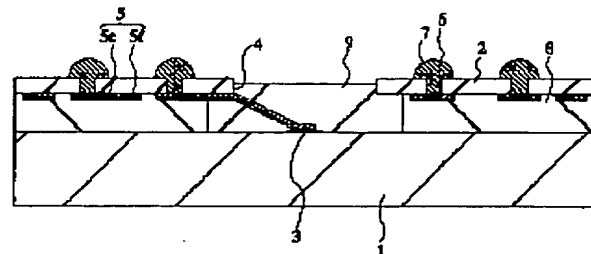
【図2】

図 2



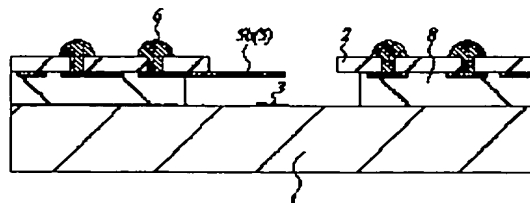
【図3】

図 3



【図10】

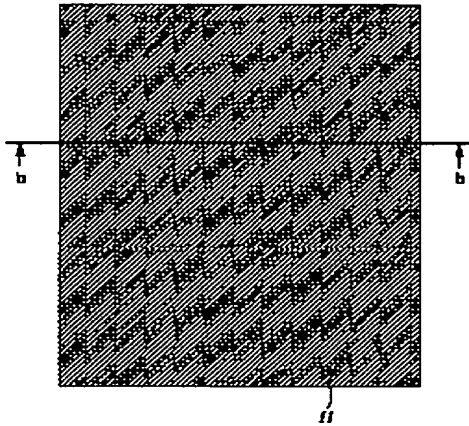
図 10



【図4】

図 4

(a)



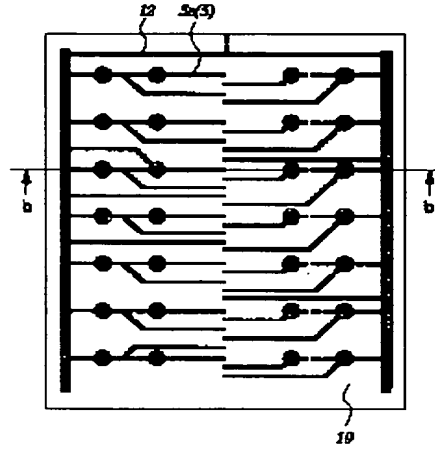
(b)



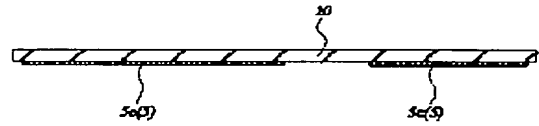
【図5】

図 5

(a)



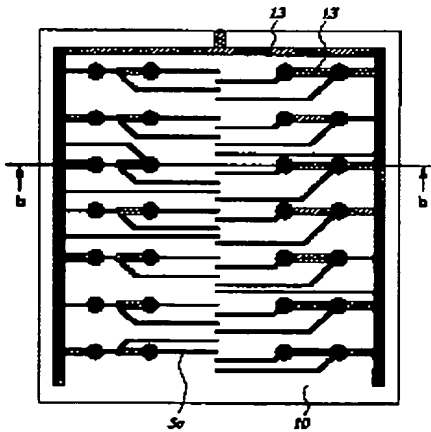
(b)



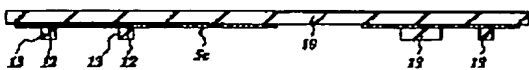
【図6】

図 6

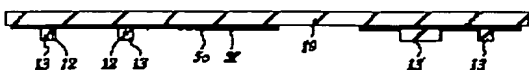
(a)



(b)



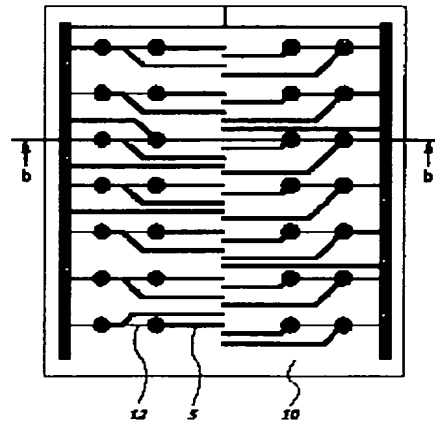
(c)



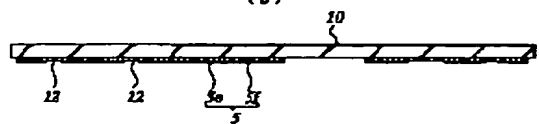
【図7】

図 7

(a)



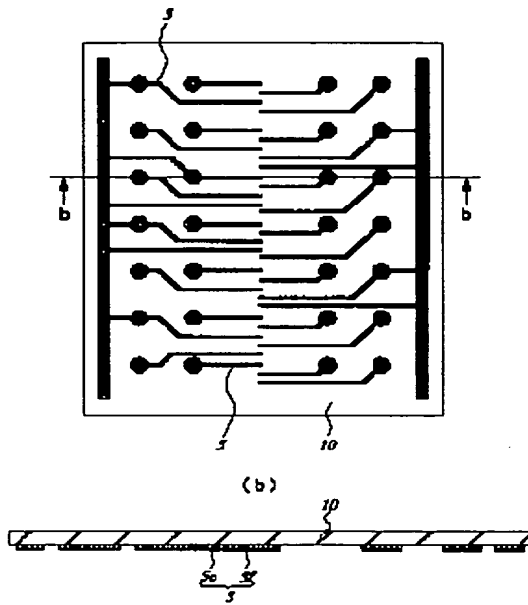
(b)



【図8】

図 8

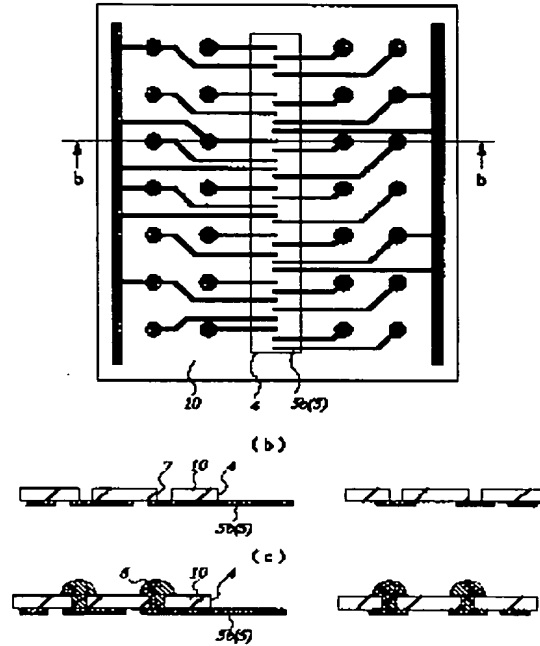
(a)



【図9】

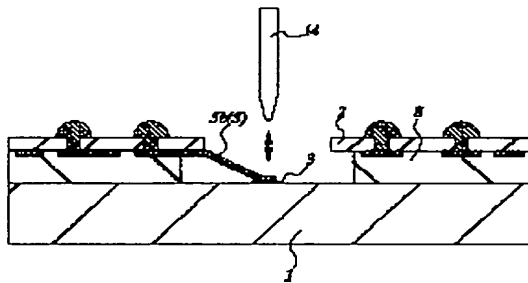
図 9

(a)



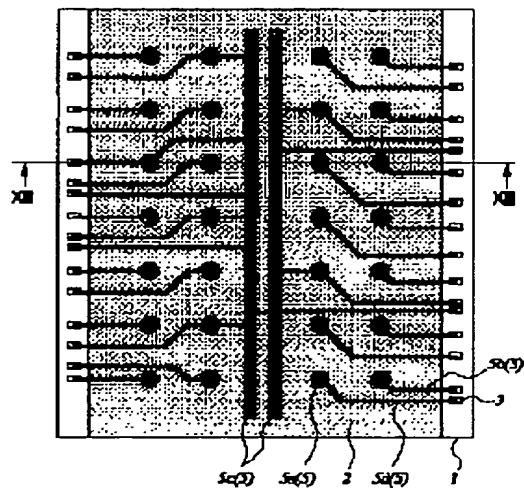
【図11】

図 11



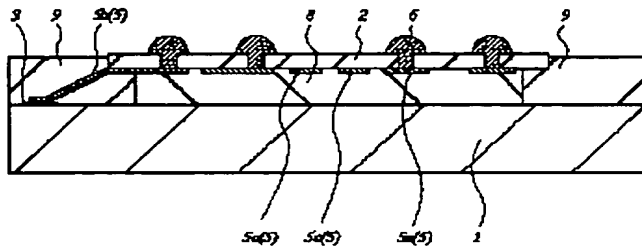
【図12】

図 12



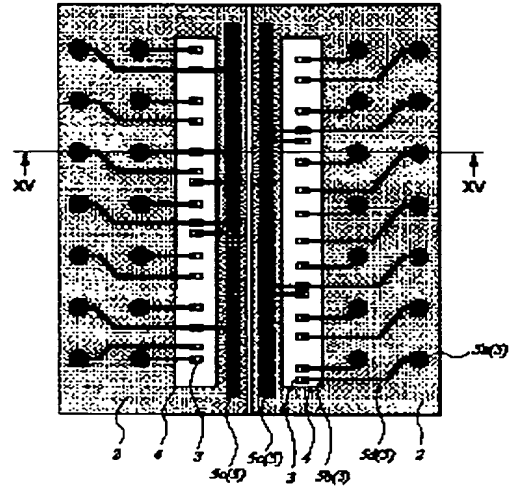
【图 13】

13



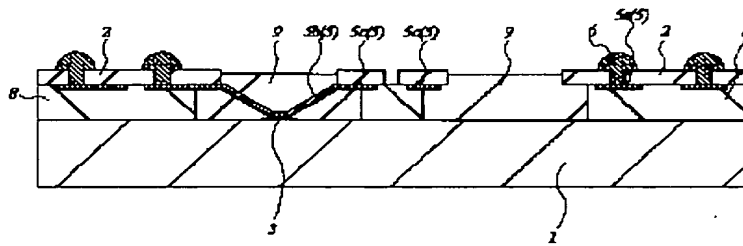
【図 14】


14



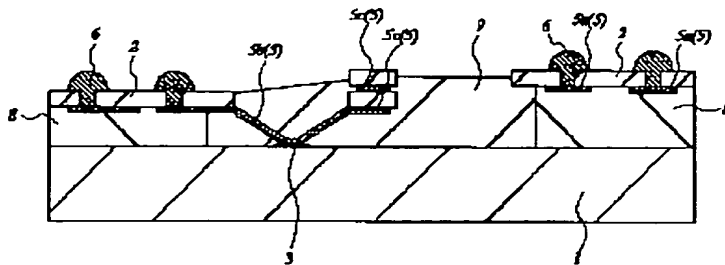
【図 15】

15



【 17】

四 17



【図16】

図 16

